

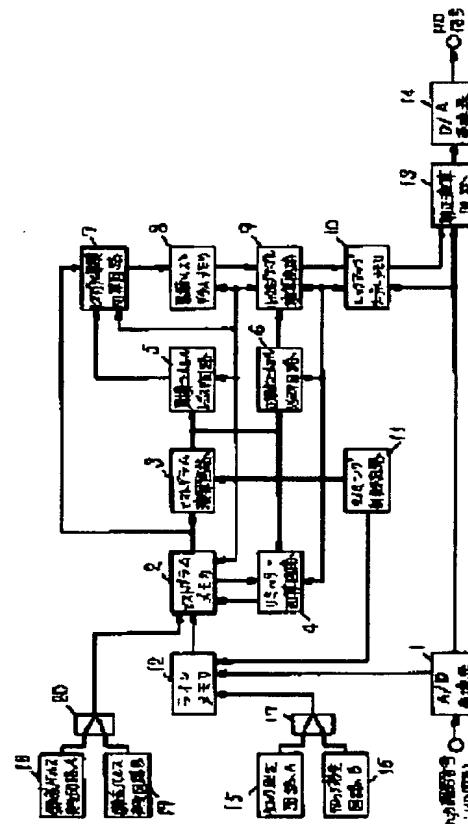
GRADATION CORRECTING DEVICE

Patent number: JP5191674
Publication date: 1993-07-30
Inventor: NAKAHIGASHI HIDETO
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
 - International: H04N5/20
 - European:
Application number: JP19920004596 19920114
Priority number(s):

Abstract of JP5191674

PURPOSE: To provide a gradation correcting device which can prevent the state of being painted-out in black, floating black or white hit at a high fidelity television receiver.

CONSTITUTION: A luminance data extracting area is properly set corresponding to a video signal system while using a histogram arithmetic circuit 3 or the like for luminance histogram preparation in order to prepare corrected data, the obtained corrected data are written in a look-up table memory 10, and a gradation correction processing is executed by a correction arithmetic circuit 13 or the like. Thus, the proper gradation correction processing can be executed even in a system to display both of a high fidelity television system video signal at an aspect ratio 9:16 and an NTSC system video signal at an aspect ratio 3:4.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

Japanese Patent No. 3087409

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

特許第3087409号
(P3087409)

(45)発行日 平成12年9月11日(2000.9.11)

(24)登録日 平成12年7月14日(2000.7.14)

(51)Int.Cl.⁷

H04N 5/20
7/015

識別記号

F I

H04N 5/20
7/00

A

請求項の数 1 (全 8 頁)

| | |
|----------|----------------------|
| (21)出願番号 | 特願平4-4596 |
| (22)出願日 | 平成4年1月14日(1992.1.14) |
| (65)公開番号 | 特開平5-191674 |
| (43)公開日 | 平成5年7月30日(1993.7.30) |
| 審査請求日 | 平成10年4月3日(1998.4.3) |

| | |
|--|--|
| (73)特許権者 | 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地 |
| (72)発明者 | 中東 秀人 大阪府門真市大字門真1006番地 松下電器産業株式会社内 |
| (74)代理人 | 100097445 弁理士 岩橋 文雄 (外2名) |
| 審査官 | 梅本 達雄 |
| (56)参考文献 | 特開 平3-126377 (JP, A) 特開 昭62-13180 (JP, A) |
| (58)調査した分野(Int.Cl. ⁷ , DB名) | H04N 5/14 - 5/217 H04N 7/00 |

(54)【発明の名称】 調節補正装置

(57)【特許請求の範囲】

【請求項1】 映像信号のレート変換に用いるラインメモリと、映像信号方式に応じた上記ラインメモリの読みだしクロックを発生させるクロック発生回路群と、上記クロック発生回路群から発生したクロックを選択するセレクタと、上記ラインメモリによりレート変換された信号の輝度ヒストグラムを記憶するヒストグラムメモリと、映像信号方式に応じた上記ヒストグラムメモリに記憶する輝度データを抽出する領域を設定するパルスを発生する領域パルス発生回路群と、上記領域パルス発生回路群から発生した領域設定パルスを選択するセレクタと、上記ヒストグラムメモリの出力信号のデータから輝度ヒストグラムの特徴を抽出するヒストグラム演算回路と、上記ヒストグラム演算回路の出力端に接続され上記ヒストグラムメモリのデータを処理するリミッタ・加算

回路と、上記ヒストグラム演算回路の出力端にそれぞれ接続された累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリの出力信号と累積コントロールレジスタ回路の出力信号を入力し上記ヒストグラムメモリの処理データを累積加算するヒストグラム累積加算回路と、この累積加算した結果を記憶する累積ヒストグラムメモリと、上記累積ヒストグラムメモリの出力信号と上記正規化コントロールレジスタ回路の出力信号を入力し上記累積ヒストグラムメモリのデータを正規化するルックアップテーブル演算回路と、この演算結果を記憶するルックアップテーブルメモリと、NTSC方式映像輝度信号と同じ内容のハイビジョン方式映像輝度信号を上記ルックアップテーブルのデータ読みだしアドレスとして上記ルックアップテーブルメモリから得られた出力補正信号および上記ハイビ

ジョン方式映像輝度信号から補正演算を行う補正演算回路を有する階調補正装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ハイビジョン用テレビジョン受像機、ビデオテープレコーダ、ビデオカメラ、ビデオディスクなどの、映像信号の階調を補正する場合に用いる階調補正装置に関する。

【0002】

【従来の技術】近年、階調補正装置はカラーテレビジョン受像機の大型化、高画質化にともない画像をより鮮明にするため、映像信号を非線形増幅器に通すことによって映像信号の階調を補正し陰極線管画面上の映像のダイナミックレンジを拡大するために重要視されてきている。

【0003】以下に従来の階調補正装置について図面を参照しながら説明する。図3に示すように従来の階調補正装置は、入力輝度信号をA/D変換器1でデジタル化した輝度信号の輝度ヒストグラムをヒストグラムメモリ2で抽出する。一般にはメモリのアドレスに入力信号の輝度レベルを、そのデータに度数が入るようとする。つぎに、ヒストグラム演算回路3で、ヒストグラムメモリ2のデータから入力輝度信号の平均値、モード値、最小値、最大値、偏差係数、白面積、黒面積などを算出し、その結果によりリミッタレベル、一定加算値、累積スタート輝度レベル、累積ストップ輝度レベル、最大輝度レベルなどの各制御値を計算し、リミッタ・加算回路4、累積コントロールレジスタ回路5、正規化コントロールレジスタ回路6に出力する。リミッタ・加算回路4は、ヒストグラムメモリ2のデータを処理するものであり、ヒストグラム演算回路3から転送されるデータにより、輝度ヒストグラムの度数があるレベル以上にならないように制限を加えたり、一定値の加算演算を行う。一般に、輝度ヒストグラムを抽出している期間（サンプルしている期間）はアドレスが一度アクセスされる間にデータ処理を終える。累積コントロールレジスタ回路5は、累積ヒストグラムを求める際に、その累積を始める輝度レベルと、累積を止める輝度レベルをヒストグラム演算回路3より与えられ、ヒストグラム累積加算回路7を制御する。

【0004】ヒストグラム累積加算回路7は、累積コントロールレジスタ回路5の制御信号によりヒストグラムメモリ2の処理データの累積を行う。累積ヒストグラムメモリ8では、ヒストグラム累積加算回路7の累積演算結果を記憶する。一般には、メモリのアドレスに輝度レベルを、そのデータに度数が入るようにする。正規化コントロールレジスタ回路6は、累積ヒストグラムのデータを正規化してルックアップテーブルを作成する際に、その正規化後の出力輝度信号の最大輝度レベルをヒストグラム演算回路3より与えられ、その値に応じてルック

アップテーブル演算回路9で用いる正規化係数を制御する。ルックアップテーブル演算回路9は、累積ヒストグラムメモリ8の各データを正規化コントロールレジスタ回路6の出力信号に基づいて正規化を行う。ルックアップテーブルメモリ10では、ルックアップテーブル演算回路9で正規化されたデータを記憶する。一般には、メモリのアドレスに輝度レベルを、そのデータに度数が入るようにする。タイミング制御回路11では、各演算の順序や、各メモリの制御などを行う。補正演算回路13では、各画素の輝度レベルをアドレスとしてルックアップテーブルより読みだされた補正信号と映像信号を入力して階調補正演算を行う。D/A変換器14では、補正演算回路13からのディジタル信号をアナログ信号に変換して出力する。

【0005】以上のように構成された階調補正回路について、以下の動作を図4に示す各部の特性図を用いて説明する。まず、入力輝度信号aをA/D変換器1に入力し、デジタル信号に変換し、変換入力輝度信号bとして出力する。ヒストグラムメモリ2は、この変換入力輝度信号bをアドレスとし、そのアドレスのデータをリミッタ・加算回路4で処理する。この動作を一垂直走査期間行うことによって入力輝度信号aの輝度ヒストグラムを抽出することができる。この様子を図4(a)に示す。

【0006】つぎに、この輝度ヒストグラムの入ったヒストグラムメモリ2のデータをヒストグラム演算回路3で読みだし、入力輝度信号aの平均値、モード値、最小値、最大値、偏差係数、白面積、黒面積などを計算する。これらの計算結果からリミッタレベル、一定加算値、累積計算のスタート輝度レベルおよびストップ輝度レベル、正規化後の最大輝度レベルなどの各制御値を求め、これらの制御信号eをリミッタ・加算回路4、累積コントロールレジスタ回路5、および正規化コントロールレジスタ回路6に転送する。

【0007】つぎに、リミッタ・加算回路4はヒストグラムメモリ2からデータを読みだし、各データに対しヒストグラム演算回路3から転送された各制御信号をもとにリミッタ（図4(b)参照）や一定値の加算（図4(c)参照）などの演算を行い、その結果を補正ヒストグラムデータcとしてヒストグラム累積加算回路7に出力する。ここで、加算する一定値が大きいほど累積加算した曲線は直線に近くなり、またその値が小さいほどヒストグラム平坦化処理に近くなる（図4(d)参照）。

【0008】そして、ヒストグラム累積加算回路7は、累積コントロールレジスタ回路5より与えられる累積スタート輝度レベルと累積ストップ輝度レベルにより、その範囲内について補正ヒストグラムデータcの累積ヒストグラムデータfを計算し、この結果を累積ヒストグラムメモリ8に記憶する。この様子を図4(c)および(d)に示す。

【0009】つぎに、ルックアップテーブル演算回路9は、累積ヒストグラムメモリ8からデータを読みだし、その累積ヒストグラムデータの最大値が正規化コントロールレジスタ回路6より与えられる最大出力輝度レベルhとなるような正規化係数を求め、この係数をもとに累積ヒストグラムの各データ_gに対して演算を行い、その結果_iをルックアップテーブルメモリ10に記憶する。このとき、最大出力輝度レベルhを制御することにより自動コントラストコントロール(ACL)や、自動ブライトコントロール(ABL)のような動作ができる。この動作を図4(e)に示す。

【0010】つぎに、ルックアップテーブルメモリ10は、変換入力輝度信号bをアドレスとしてそのデータjを読みだし、そのデータjと変換入力輝度信号bを入力して補正演算回路13により階調補正演算を行い、補正出力輝度信号kを得る。図4(f)は、補正後の輝度信号のヒストグラムを示す。そして、D/A変換器14は、この補正出力輝度信号kをアナログ信号lに変換して出力する。

【0011】タイミング制御回路11は、以上述べたような順序で各部の動作が行われるように各回路の動作を制御する(たとえば、特願平1-265393号公報「階調補正装置」参照)。

【0012】

【発明が解決しようとする課題】しかしながら上記従来の構成では、補正データを作成するために行う輝度ヒストグラム作成のための輝度データ抽出領域が固定となっており、アスペクト比9:16のハイビジョン方式の映像信号とアスペクト比3:4のNTSC方式の映像信号の両信号を表示するシステムにおいて両信号に対して階調補正処理を行う場合、どちらかの輝度データ抽出領域が不適正となるため、システム全体として不適正な補正処理となってしまうという問題点を有していた。

【0013】本発明は上記従来の問題点を解決するもので、映像信号方式に応じて適正な輝度ヒストグラム作成のための輝度データ抽出領域を設定し、階調補正処理を行うことにより、アスペクト比6:16のハイビジョン方式の映像信号とアスペクト比3:4のNTSC方式の映像信号の両信号を表示するシステムにおいても適正な階調補正処理を行うことができる階調補正装置を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するためには、本発明の階調補正装置は、映像信号のレート変換に用いるラインメモリと、映像信号方式に応じたラインメモリの読みだしクロックを発生させるクロック発生回路群と、クロック発生回路群から発生したクロックを選択するセレクタと、ラインメモリによりレート変換された信号の輝度ヒストグラムを記憶するヒストグラムメモリと、映像信号方式に応じたヒストグラムメモリに記憶す

る輝度データを抽出する領域を設定するパルスを発生する領域パルス発生回路群と、領域パルス発生回路群から発生した領域設定パルスを選択するセレクタと、ヒストグラムメモリの出力信号のデータから輝度ヒストグラムの特徴を抽出するヒストグラム演算回路と、ヒストグラム演算回路の出力端に接続されヒストグラムメモリのデータを処理するリミッタ・加算回路と、ヒストグラム演算回路の出力端にそれぞれ接続された累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、ヒストグラムメモリの出力信号と累積コントロールレジスタ回路の出力信号を入力しヒストグラムメモリの処理データを累積加算するヒストグラム累積加算回路と、この累積加算した結果を記憶する累積ヒストグラムメモリと、累積ヒストグラムメモリの出力信号と正規化コントロールレジスタ回路の出力信号を入力し累積ヒストグラムメモリのデータを正規化するルックアップテーブル演算回路と、この演算結果を記憶するルックアップテーブルメモリと、NTSC方式映像輝度信号と同じ内容のHD方式映像輝度信号をアドレスとしてルックアップテーブルメモリから得られた出力補正信号およびHD方式映像輝度信号から補正演算を行う補正演算回路から構成されている。

【0015】

【作用】本発明は上記した構成において、補正データを作成するために行う輝度ヒストグラム作成のための輝度データ抽出領域を映像信号方式に応じて適正に設定し、階調補正処理を行うことにより、アスペクト比9:16のハイビジョン方式の映像信号とアスペクト比3:4のNTSC方式の映像信号の両信号を表示するシステムにおいても適正な階調補正処理を行うことが可能となる。

【0016】また、映像信号方式に応じてレート変換を行うのに用いるラインメモリの読みだしクロックを可変にすることにより、上記システムにおいて補正処理を行う映像信号の映像信号方式によらず、レート変換回路の共用化を図ることが可能となる。

【0017】

【実施例】以下本発明の一実施例について、図面を参照しながら説明する。

【0018】図1に示すように本実施例の階調補正装置は、入力輝度信号をデジタル値に変換するA/D変換器1を入力端側に設けA/D変換された輝度信号をレート変換するためにラインメモリ12に入力する。ラインメモリ12から読みだすためのクロックを発生するクロック発生回路A15、同B16を設け、入力輝度信号の映像信号方式に応じてラインメモリ12の読みだしクロックを選択するためのセレクタ17を設ける。ラインメモリ12によりレート変換された信号の輝度ヒストグラムを抽出するためのヒストグラムメモリ2では、メモリのアドレスにラインメモリ12の出力信号の輝度レベルを、そのデータに度数が入るようにする。輝度ヒストグ

ラムを作成するための輝度データ抽出領域を設定するための領域パルス発生回路A18、同B19を設け、入力輝度信号の映像信号方式に応じて輝度ヒストグラムを作成するための輝度データ抽出領域を選択するセレクタ20を設ける。ヒストグラム演算回路3では、ヒストグラムメモリ2のデータから入力輝度信号の平均値、モード値、最小値、最大値、偏差係数、白面積、黒面積などを算出し、その結果によりリミッタレベル、一定加算値、累積スタート輝度レベル、累積トップ輝度レベル、最大輝度レベルなどの各制御値を計算し、リミッタ・加算回路4、累積コントロールレジスタ回路5、正規化コントロールレジスタ回路6に出力する。リミッタ・加算回路4は、ヒストグラムメモリ2のデータを処理するものであり、ヒストグラム演算回路3から転送されるデータにより、輝度ヒストグラムの度数があるレベル以上にならないように制限を加えたり、一定値の加算演算を行う。輝度ヒストグラムを抽出している期間（サンプルしている期間）はアドレスが一度アクセスされる間にデータ処理を終える。累積コントロールレジスタ回路5は、累積ヒストグラムを求める際に、その累積を始める輝度レベルと、累積を止める輝度レベルをヒストグラム演算回路3より与えられ、ヒストグラム累積加算回路7を制御する。ヒストグラム累積加算回路7は、累積コントロールレジスタ回路5の制御信号によりヒストグラムメモリ2の処理データの累積を行う。累積ヒストグラムメモリ8では、ヒストグラム累積加算回路7の累積演算結果を記憶する。メモリのアドレスに輝度レベルを、そのデータに度数が入るようにする。正規化コントロールレジスタ回路6は、累積ヒストグラムのデータを正規化してルックアップテーブルを作成する際に、その正規化後の出力輝度信号の最大輝度レベルをヒストグラム演算回路3より与えられ、その値に応じてルックアップテーブル演算回路9で用いる正規化係数を制御する。ルックアップテーブル演算回路9は、累積ヒストグラムメモリ8の各データを正規化コントロールレジスタ回路6の出力信号に基づいて正規化を行う。ルックアップテーブルメモリ10では、ルックアップテーブル演算回路9で正規化されたデータを記憶し、メモリのアドレスに輝度レベルを、そのデータに度数が入るようにする。また、メモリへの補正データ書き込みタイミングはHD信号の垂直帰線期間内に行い、HD信号の階調補正期間に補正データの更新が行われないようにする。タイミング制御回路11では、各演算の順序や、各メモリの制御などを行う。補正演算回路13では、HD信号の輝度レベルをアドレスとしてルックアップテーブルメモリ10から得られた補正データおよびHD信号を入力しHD信号の階調補正演算を行う。D/A変換器14では、補正演算回路13で補正されたデジタル出力信号をアナログ信号に変換してHD信号を出力する。

【0019】以上のように構成された階調補正装置につ

いて、輝度ヒストグラムを作成してから階調補正データ作成処理までは従来のNTSC方式の補正処理と共通になり、従来例の項で説明したので省略して、動作を説明する。図2はそれぞれの入力輝度信号に対する、適正な補正データを作成するために行う輝度ヒストグラム作成のための輝度データ抽出領域を示すものである。

【0020】ここで、補正データ作成処理について説明する。まず、入力輝度信号をA/D変換器1によりデジタル化し、その信号を2水平走査期間分のラインメモリ12に格納し、入力輝度信号の映像信号方式に応じてクロック発生回路A15、同B16から発生するラインメモリ12の読みだしクロックをセレクタ17により選択し、ドット間引き、ライン間引きなどを行うことによりNTSC信号と同等レートの信号に変換する。つぎに、入力信号のアスペクト比として、3:4または、9:16などのものがあり、それぞれの信号に対し最適な輝度ヒストグラムを作成するために図2(a)、

(b)に示すような最適なデータ抽出領域を設定する必要がある。それぞれの信号アスペクト比に応じたデータ抽出領域を領域パルス発生回路A18、同B19により発生し、それらをセレクタ20により選択することにより最適な輝度ヒストグラムの抽出領域を設定し、その領域の輝度分布を認識するのに十分なサンプリングレートでサブサンプリングし、その結果をヒストグラムメモリ2に格納し、ヒストグラム演算回路3～ルックアップテーブル演算回路9の補正データ作成回路により各フレームの輝度分布に応じた補正データを計算し、入力輝度信号の1フレームごとの垂直帰線期間内にルックアップテーブルメモリ10にそのデータを書き込む。

【0021】補正演算処理については、A/D変換器1によりデジタル化された入力HD信号をアドレスとしてルックアップテーブルメモリ10より得られた各画素の輝度レベルに応じた補正データおよびA/D変換器1出力のHD信号を入力して補正演算回路13より階調補正処理を行い、そののちD/A変換器14を通してにより階調補正されたアナログの輝度信号を得ることができる。

【0022】以上のように本実施例によれば、補正データを作成するために行う輝度ヒストグラム作成のための輝度データ抽出領域を映像信号方式に応じて適正に設定し、階調補正処理を行うことにより、図2(a)、

(b)に示すように、アスペクト比9:16のハイビジョン方式の映像信号とアスペクト比3:4のNTSC方式の映像信号の両信号を表示するシステムにおいても適正な階調補正処理を行うことが可能となる。

【0023】また、映像信号方式に応じてレート変換を行うのに用いるラインメモリの読みだしクロックを可変にすることにより、上記システムにおいて補正処理を行う映像信号の映像信号方式によらず、レート変換回路の共用化を図ることが可能となる。

【0024】

【発明の効果】以上の一実施例から明らかなように本発明は、映像信号のレート変換に用いるラインメモリと、映像信号方式に応じたラインメモリの読みだしクロックを発生させるクロック発生回路群と、クロック発生回路群から発生したクロックを選択するセレクタと、ラインメモリによりレート変換された信号の輝度ヒストグラムを記憶するヒストグラムメモリと、映像信号方式に応じたヒストグラムメモリに記憶する輝度データを抽出する領域を設定するパルスを発生する領域パルス発生回路群と、領域パルス発生回路群から発生した領域設定パルスを選択するセレクタと、ヒストグラムメモリの出力信号のデータから輝度ヒストグラムの特徴を抽出するヒストグラム演算回路と、ヒストグラム演算回路の出力端に接続されヒストグラムメモリのデータを処理するリミッタ・加算回路と、ヒストグラム演算回路の出力端にそれぞれ接続された累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、ヒストグラムメモリの出力信号と累積コントロールレジスタ回路の出力信号を入力しヒストグラムメモリの処理データを累積加算するヒストグラム累積加算回路と、この累積加算した結果を記憶する累積ヒストグラムメモリと、累積ヒストグラムメモリの出力信号と正規化コントロールレジスタ回路の出力信号を入力し累積ヒストグラムメモリのデータを正規化するルックアップテーブル演算回路と、この演算結果を記憶するルックアップテーブルメモリと、NTSC方式映像輝度信号と同じ内容のHD方式映像輝度信号をアドレスとしてルックアップテーブルメモリから得られた出力補正信号およびHD方式映像輝度信号から補正演算を行う補正演算回路を設けることにより、補正データを作成するために行う輝度ヒストグラム作成のための輝

度データ抽出領域を映像信号方式に応じて適正に設定し、階調補正処理を行い、アスペクト比9：16のハイビジョン方式の映像信号とアスペクト比3：4のNTSC方式の映像信号の両信号を表示するシステムにおいても適正な階調補正処理を行うことを可能とする優れた階調補正装置を実現できるものである。

【図面の簡単な説明】

【図1】本発明の一実施例の階調補正装置のブロック図

【図2】(a)は同実施例のアスペクト比9：16のHD映像信号の輝度データ抽出領域図

(b)は同実施例のアスペクト比3：4のNTSC映像信号の輝度データ抽出領域図

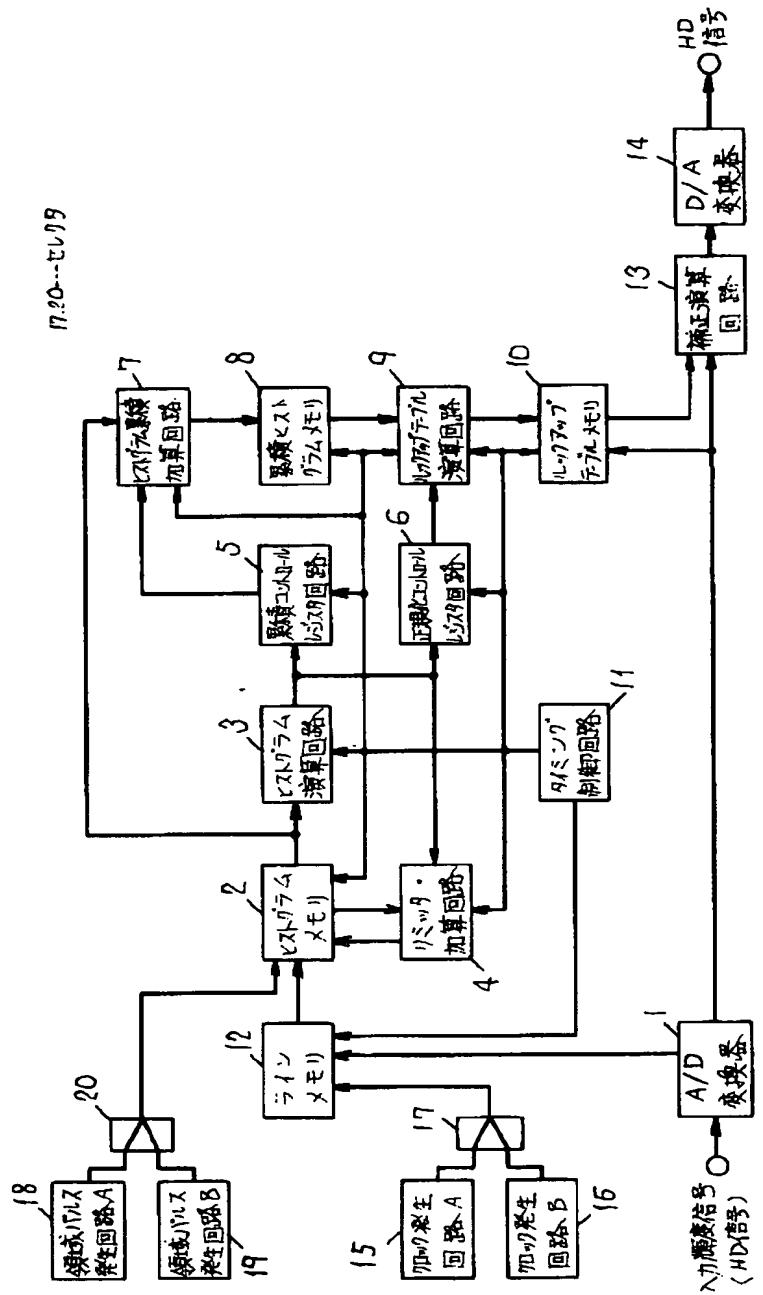
【図3】従来の階調補正装置のブロック図

【図4】従来の階調補正装置の特性図

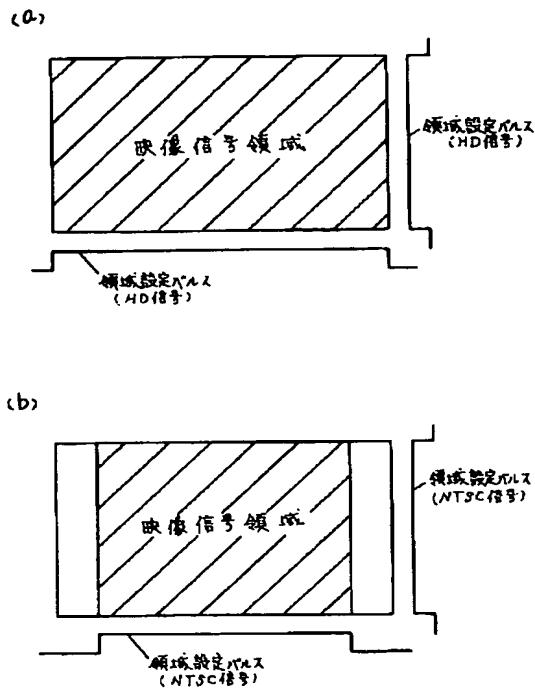
【符号の説明】

- 2 ヒストグラムメモリ
- 3 ヒストグラム演算回路
- 4 リミッタ・中点加算回路
- 5 累積コントロールレジスタ回路
- 6 正規化コントロールレジスタ回路
- 7 ヒストグラム累積加算回路
- 8 累積ヒストグラムメモリ
- 9 ルックアップテーブル演算回路
- 10 ルックアップテーブルメモリ
- 12 ラインメモリ
- 13 補正演算回路
- 15 クロック発生回路A
- 16 クロック発生回路B
- 17, 20 セレクタ
- 18 領域パルス発生回路A
- 19 領域パルス発生回路B

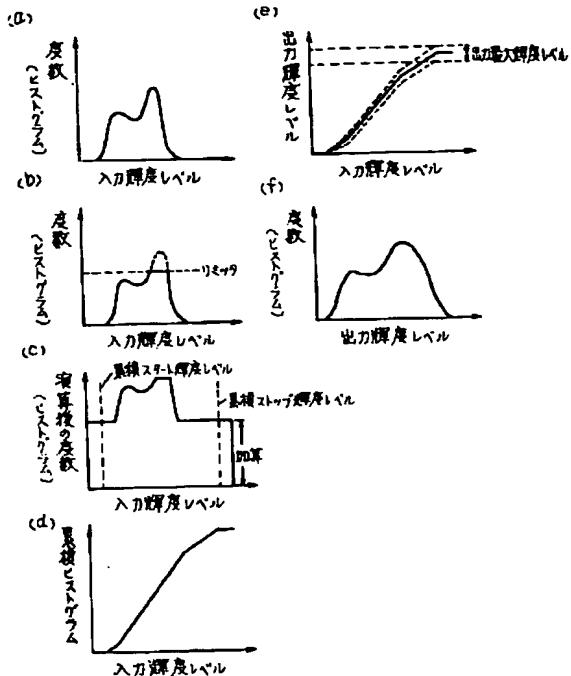
【図 1】



【図2】



【図4】



【図3】

